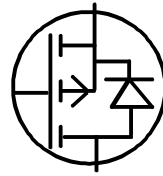


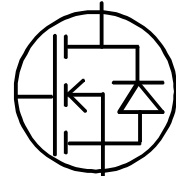
[A] Etude de caractéristiques de composants MOSFET de puissance.

(Q1) Les symboles de transistors Mosfet sont dessinés ci-dessous, pour chacun d'entre eux indiquer :

- ⇒ les noms des broches D,G,S
- ⇒ les tensions VGS, VDS,
- ⇒ la condition pour avoir ce transistor passant,
- ⇒ le signe de la tension VGSTH.



Q1



Q2

(Q2) Etude de caractéristiques de constructeurs:

Remplir le tableau résumant les principales caractéristiques du transistor MTP12N10E.

Caractéristique du transistor MTP12N10E	Valeur	Unité
la tension drain source maximal	VDS max	
la tension grille source continue maximale	VGS max	
le courant drain continu maximal	ID max	
le courant drain impulsionnel maximal	IDM max	
la tension VGSTH maxi	VGS(th)max	
la tension VGSTH mini	VGS(th)min	
la résistance drain source maximale à l'état passant	RDS(on)	

[B] Etude simplifiée de la commande des lampes d'un flipper.

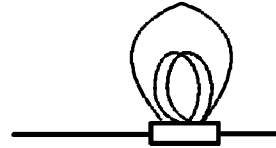
Rédaction personnelle réalisée d'après un thème académique de l'académie de Grenoble piloté par le lycée technique de Montélimard.

Les ampoules à incandescence des lampes d'un flipper sont constituées d'un filament dont la résistance varie selon que l'ampoule est chaude ou froide. Les mesures donnent les valeurs suivantes :

Résistance du filament à chaud $R=24\Omega$

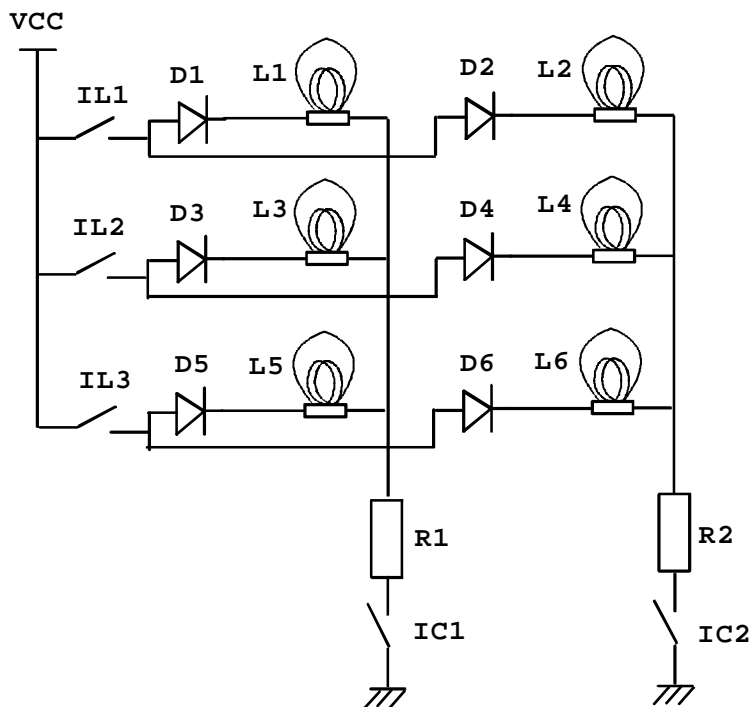
Résistance du filament à froid $R=2,2\Omega$

Le symbole est donné ci-contre :



Etude de la commande simplifiée des ampoules

Le schéma de principe de la commande est donné ci-dessous pour seulement 3 lignes de 2 ampoules seulement (au lieu de 12 lignes de 8 colonnes pour le flipper !).



$R1, R2: 3\Omega 5W$

Toutes les diodes

$V_F=1V$

(Q1) Indiquer quels interrupteurs sont fermés pour obtenir l'allumage des ampoules selon le tableau :

Lampes allumées	Etat des interrupteurs				
	IL1	IL2	IL3	IC1	IC2
L1,L2,L6					
L2,L4,L6					
L5					

REPONDRE OUVERT O OU FERME F

(Q2) Déterminez la valeur de VCC pour obtenir le courant nominal de 0,3A dans l'ampoule L1 (Filament chaud). L'ampoule L1 est allumée seule.

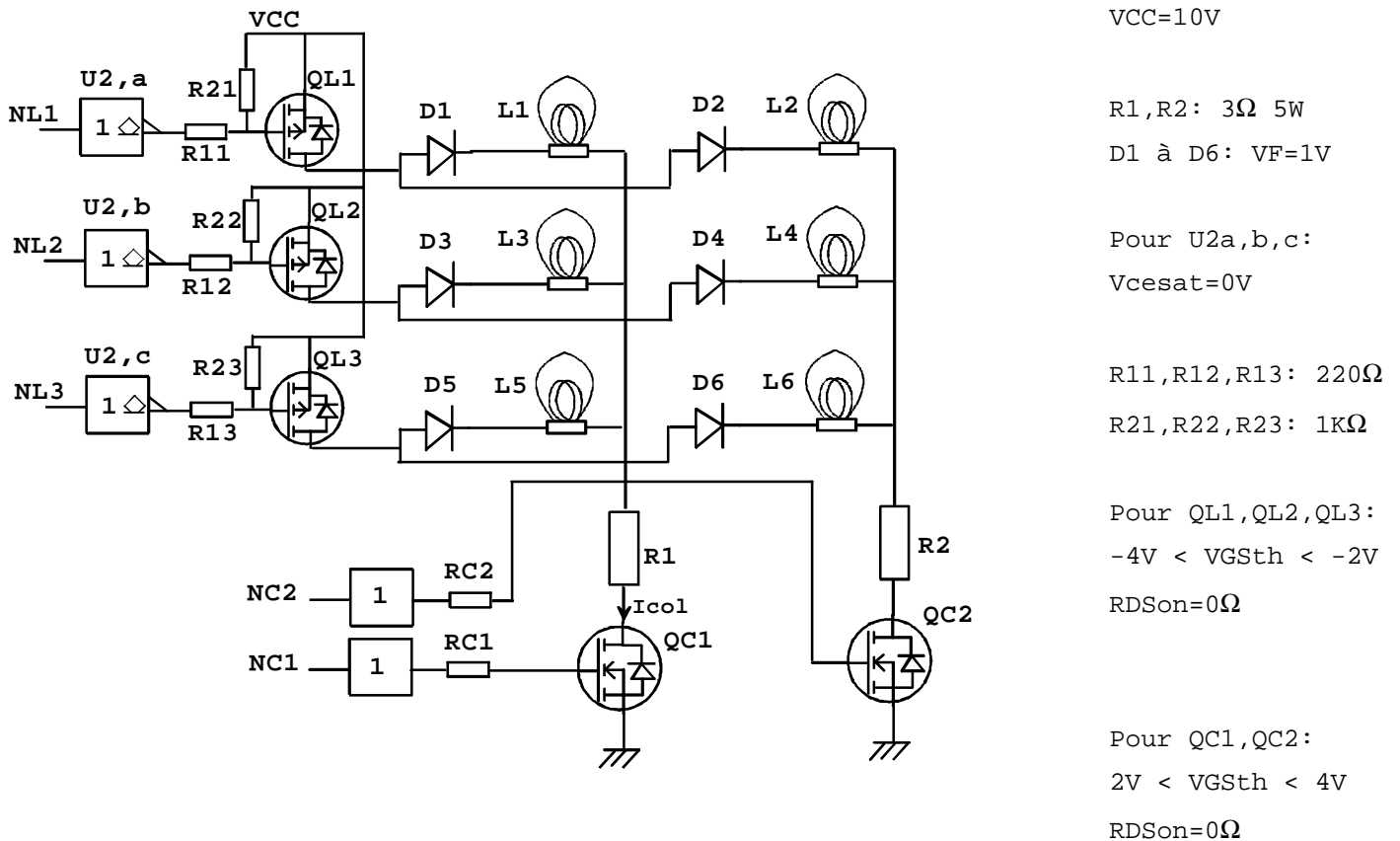
(Q3) On prend VCC=10V déterminez le courant maximum circulant dans la résistance R1 dans les deux cas suivants :

(a) quand les ampoules L1,L3,L5 sont allumées et les filaments sont froids.

(b) quand les ampoules L1,L3,L5 sont allumées et les filaments sont chauds.

Etude de la commande complète des ampoules

Nous étudions le schéma complet où les interrupteurs sont remplacés par des transistors de puissances de type mosfet. Le schéma est donné ci-dessous :



(Q4) Rappelez la nature de la sortie de l'opérateur logique U2.

(Q5) Quel est le niveau logique NL1 qui commande le transistor QL1 ?

(Q6) La tension de commande du transistor QL1 est-elle respectée ?
calculez sa valeur et conclure.

(Q7) Quel est le niveau logique NC1 qui commande le transistor QC1 ?

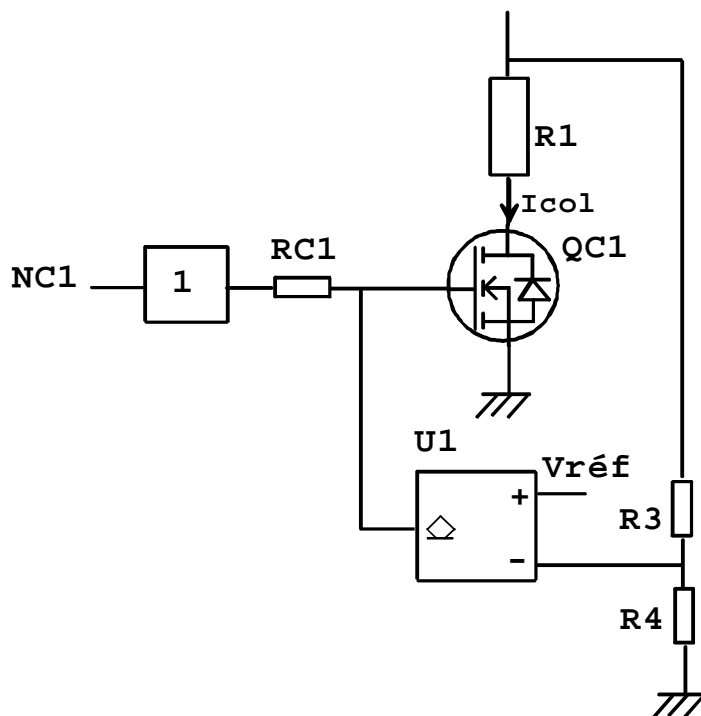
Etude de la surveillance de surintensité

Dans le flipper l'intensité de colonne I_{col} , est surveillée. La mesure est faite du courant traversant la résistance $R1$, (et de façon identique sur $R2$ mais non représentée sur le schéma). Le schéma de cette détection est donnée ci-dessous.

(Q8) Donner le principe d'action de cette détection.

(Q9) Pour quelle valeur de courant se déclenche t'elle ?

(Q10) Que ce passe t'il quand les ampoules sont froides ?



$R3: 4,3K\Omega$

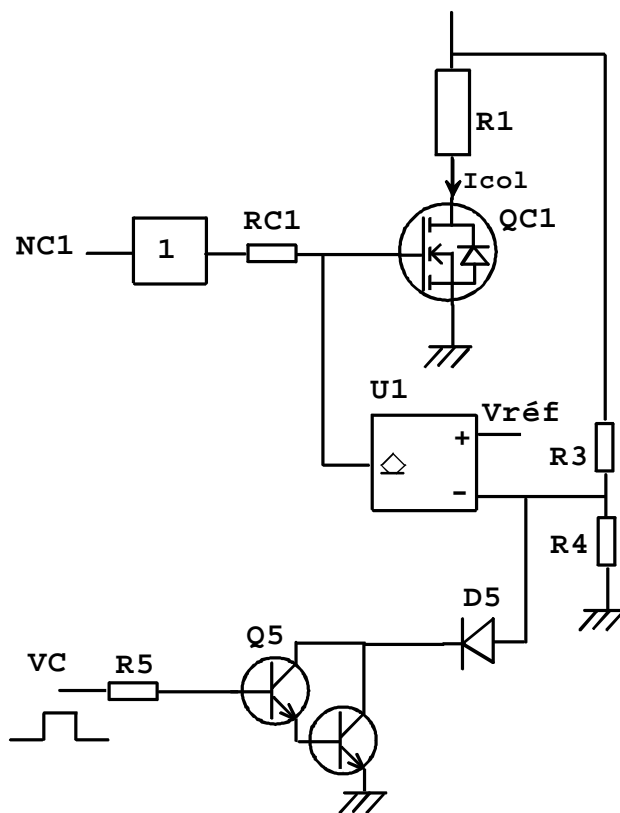
$R4: 5,6K\Omega$

$V_{réf}=2,5V$

Pour $U1$ $V_{cesat}=0V$

$R1: 3\Omega$

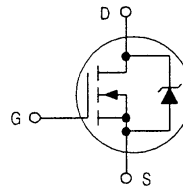
(Q11) Pour éviter le problème étudié dans la question (Q10) on ajoute une commande de blocage (d'interdiction) de la détection de la surintensité. Donner le principe de son fonctionnement. A quel moment doit-elle intervenir ?



Designer's™ Data Sheet
TMOS E-FET™
Power Field Effect Transistor
N-Channel Enhancement-Mode Silicon Gate

This advanced TMOS E-FET is designed to withstand high energy in the avalanche and commutation modes. The new energy efficient design also offers a drain-to-source diode with a fast recovery time. Designed for low voltage, high speed switching applications in power supplies, converters and PWM motor controls, these devices are particularly well suited for bridge circuits where diode speed and commutating safe operating areas are critical and offer additional safety margin against unexpected voltage transients.

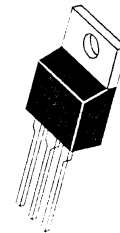
- Designed to Eliminate the Need for External Zener Transient Suppressor — Absorbs High Energy in the Avalanche Mode
- Commutating Safe Operating Area (CSOA) Specified for Use in Half and Full Bridge Circuits
- Source-to-Drain Diode Recovery Time Comparable to a Discrete Fast Recovery Diode
- Diode is Characterized for Use in Bridge Circuits
- I_{DSS} and $V_{DS(on)}$ Specified at Elevated Temperature



MTP12N10E

Motorola Preferred Device

TMOS POWER FET
12 AMPERES
100 VOLTS
 $R_{DS(on)} = 0.16 \text{ OHM}$



CASE 221A-06, Style 5
TO-220AB

MAXIMUM RATINGS ($T_C = 25^\circ\text{C}$ unless otherwise noted)

Rating	Symbol	Value	Unit
Drain-Source Voltage	V_{DSS}	100	Vdc
Drain-Gate Voltage ($R_{GS} = 1.0 \text{ M}\Omega$)	V_{DGR}	100	Vdc
Gate-Source Voltage — Continuous — Single Pulse ($t_p \leq 50 \mu\text{s}$)	V_{GS}	± 20 ± 40	Vdc
Drain Current — Continuous — Single Pulse ($t_p \leq 10 \mu\text{s}$)	I_D I_{DM}	12 30	Adc
Total Power Dissipation @ $T_C = 25^\circ\text{C}$ Derate above 25°C	P_D	79 0.53	Watts W/ $^\circ\text{C}$
Operating and Storage Temperature Range	T_J, T_{stg}	-55 to 175	$^\circ\text{C}$

UNCLAMPED DRAIN-TO-SOURCE AVALANCHE CHARACTERISTICS ($T_J \leq 175^\circ\text{C}$)

Single Pulse Drain-to-Source Avalanche Energy — Starting $T_J = 25^\circ\text{C}$ ($V_{DD} = 25 \text{ V}$, $V_{GS} = 10 \text{ V}$, $L = 4.03 \text{ mH}$, $R_G = 25 \Omega$, Peak $I_L = 12 \text{ A}$) (See Figures 15, 16 and 17)	E_{AS}	290	mJ
---	----------	-----	----

THERMAL CHARACTERISTICS

Thermal Resistance — Junction to Case — Junction to Ambient	$R_{\theta JC}$ $R_{\theta JA}$	1.9 62.5	$^\circ\text{C/W}$
Maximum Lead Temperature for Soldering Purposes, 1/8" from case for 10 seconds	T_L	260	$^\circ\text{C}$

Designer's Data for "Worst Case" Conditions — The Designer's Data Sheet permits the design of most circuits entirely from the information presented. SOA Limit curves — representing boundaries on device characteristics — are given to facilitate "worst case" design.

E-FET and Designer's are trademarks of Motorola, Inc. TMOS is a registered trademark of Motorola, Inc.

Preferred devices are Motorola recommended choices for future use and best overall value.

REV 1

© Motorola, Inc. 1996



MTP12N10E

ELECTRICAL CHARACTERISTICS (T_J = 25°C unless otherwise noted)

Characteristic	Symbol	Min	Typ	Max	Unit
----------------	--------	-----	-----	-----	------

OFF CHARACTERISTICS

Drain-to-Source Breakdown Voltage (V _{GS} = 0, I _D = 250 μAdc) Temperature Coefficient (positive)	V _{(BR)DSS}	100 —	— 110	— —	V _{dc} mV/°C
Zero Gate Voltage Drain Current (V _{DS} = 100 V, V _{GS} = 0) (V _{DS} = 100 V, V _{GS} = 0, T _J = 150°C)	I _{DSS}	— —	— —	10 100	μA
Gate-Body Leakage Current, Forward (V _{GSSF} = 20 Vdc, V _{DS} = 0)	I _{GSSF}	—	—	100	nAdc
Gate-Body Leakage Current, Reverse (V _{GSSR} = 20 Vdc, V _{DS} = 0)	I _{GSSR}	—	—	100	nAdc

ON CHARACTERISTICS*

Gate Threshold Voltage (V _{DS} = V _{GS} , I _D = 250 μAdc) Temperature Coefficient (negative)	V _{GS(th)}	2.0 —	3.0 6.0	4.0 —	V _{dc} mV/°C
Static Drain-Source On-Resistance (V _{GS} = 10 Vdc, I _D = 6.0 Adc)	R _{DS(on)}	—	0.125	0.16	Ohm
Drain-Source On-Voltage (V _{GS} = 10 Vdc) (I _D = 12 Adc) (I _D = 6.0 Adc, T _J = 150°C)	V _{DS(on)}	— —	1.5 1.4	2.4 1.92	V _{dc}
Forward Transconductance (V _{DS} ≥ 15 V, I _D = 6.0 A)	g _{FS}	4.0	5.0	—	mhos

DYNAMIC CHARACTERISTICS

Input Capacitance	(V _{DS} = 25 V, V _{GS} = 0, f = 1.0 MHz) See Figure 14	C _{iss}	—	600	—	pF
Reverse Transfer Capacitance		C _{rss}	—	70	—	
Output Capacitance		C _{oss}	—	230	—	

SWITCHING CHARACTERISTICS (T_J = 100°C)

Turn-On Delay Time	(V _{DD} = 50 V, I _D = 12 A, V _{GS} = 10 V, R _G = 12 Ω) See Figure 7	t _{d(on)}	—	10	—	ns
Rise Time		t _r	—	64	—	
Turn-Off Delay Time		t _{d(off)}	—	21	—	
Fall Time		t _f	—	30	—	
Gate Charge	(V _{DS} = 80 V, I _D = 12 A, V _{GS} = 10 Vdc) See Figures 5 and 6	Q _T	—	18	26	nC
		Q ₁	—	4.0	—	
		Q ₂	—	10	—	
		Q ₃	—	8.0	—	

SOURCE-DRAIN DIODE CHARACTERISTICS*

Forward On-Voltage	(I _S = 12 A, V _{GS} = 0) (I _S = 12 A, V _{GS} = 0, T _J = 150°C)	V _{SD}	—	1.0	2.5	V _{dc}
			—	0.83	—	
Reverse Recovery Time	(I _S = 12 A, V _{GS} = 0, dI _S /dt = 100 A/μs, V _R = 50 V)	t _{rr}	—	110	—	ns

INTERNAL PACKAGE INDUCTANCE

Internal Drain Inductance (Measured from the contact screw on tab to center of die) (Measured from the drain lead 0.25" from package to center of die)	L _d	— —	3.5 4.5	— —	nH
Internal Source Inductance (Measured from the source lead 0.25" from package to source bond pad)	L _s	—	7.5	—	

* Pulse Test: Pulse Width ≤ 300 μs, Duty Cycle ≤ 2.0%.