

ETUDE DES PALs : STRUCTURE INTERNE.

(1) Etude de l'architecture de composants programmables :

Nous allons analyser l'architecture de deux composants programmables, les Pal 14H4 et 12H6. Pour chacun d'entre eux il faut préciser le nombre d'entrées, le nombre de sorties, le nombre de termes produits par sorties ainsi que les éventuelles sorties réinjectées.

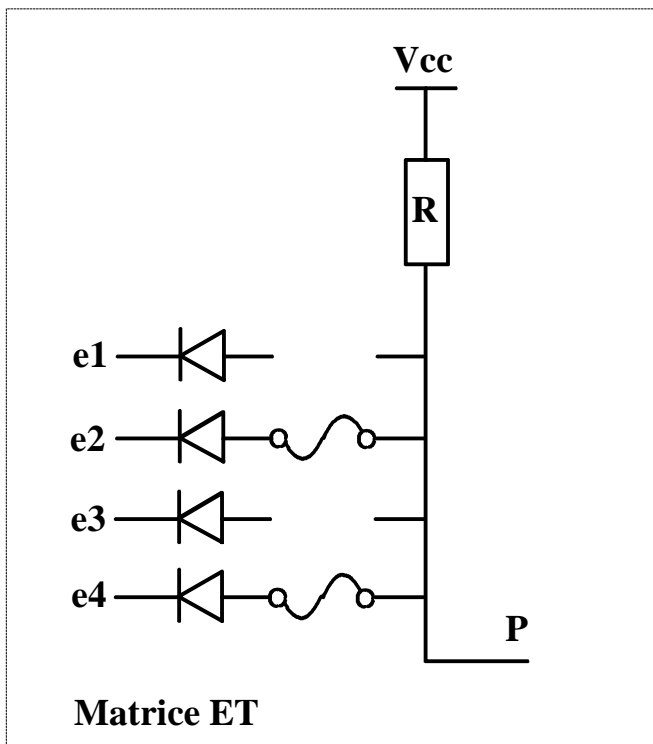
(2) Synthèse d'équations logiques :

Proposer la synthèse de l'équation logique ci-dessous dans un Pal 14H4 :

$$F = a + \bar{b} * c + \bar{d} * e$$

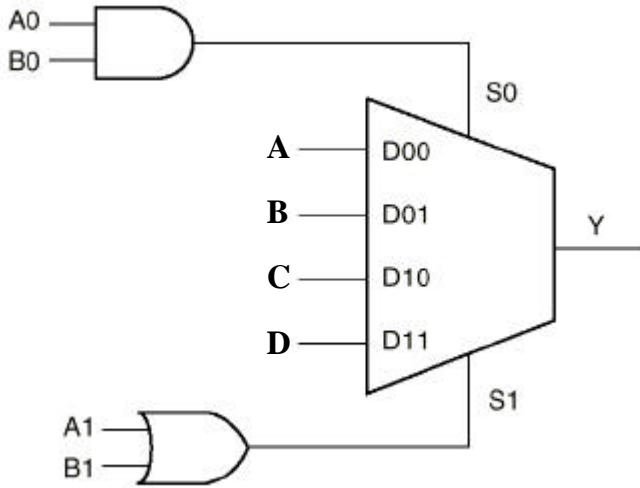
(3) Analyse du fonctionnement de la matrice ET d'un Pal :

Analyser en le justifiant le fonctionnement de la matrice interne 'ET' d'un composant logique programmable à partir du schéma ci-dessous :

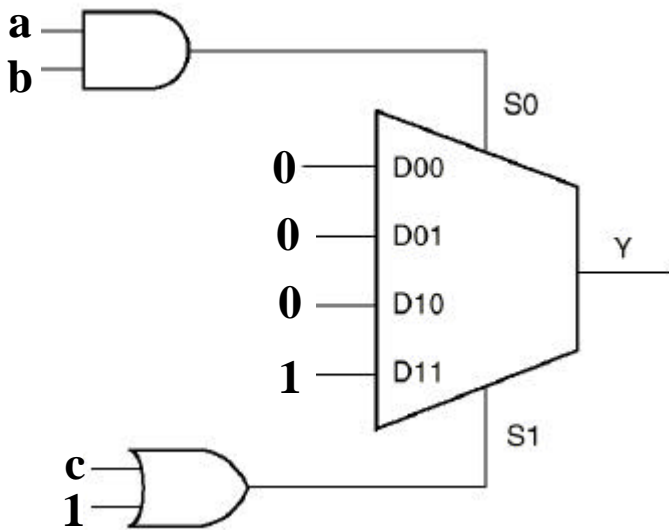


(4) Synthèse numérique :

Donner tout d'abord l'équation logique de $Y=f(A,B,C,D,S0,S1)$.

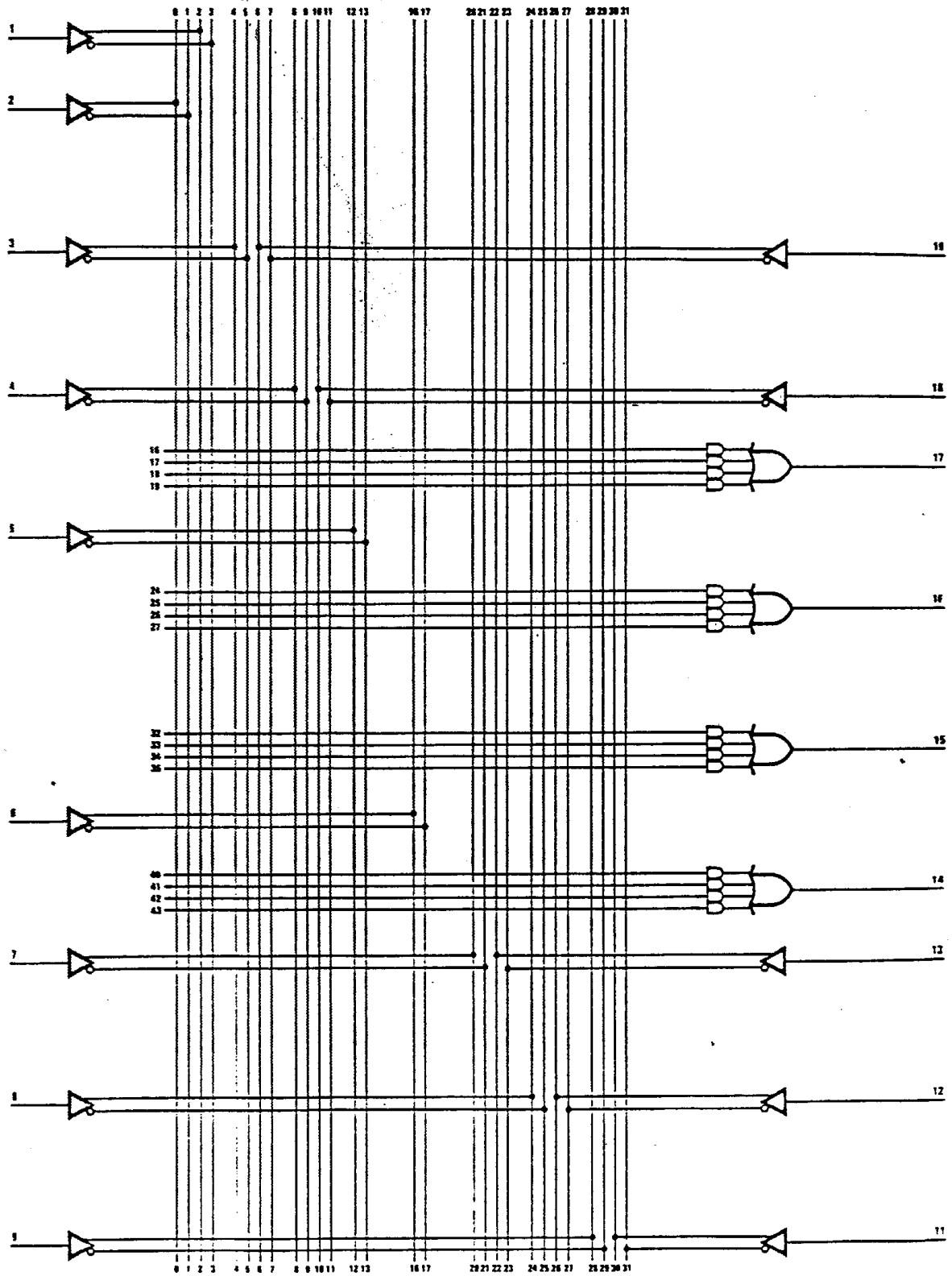


Calculer l'équation logique Y réalisée dans le cas ci-dessous :

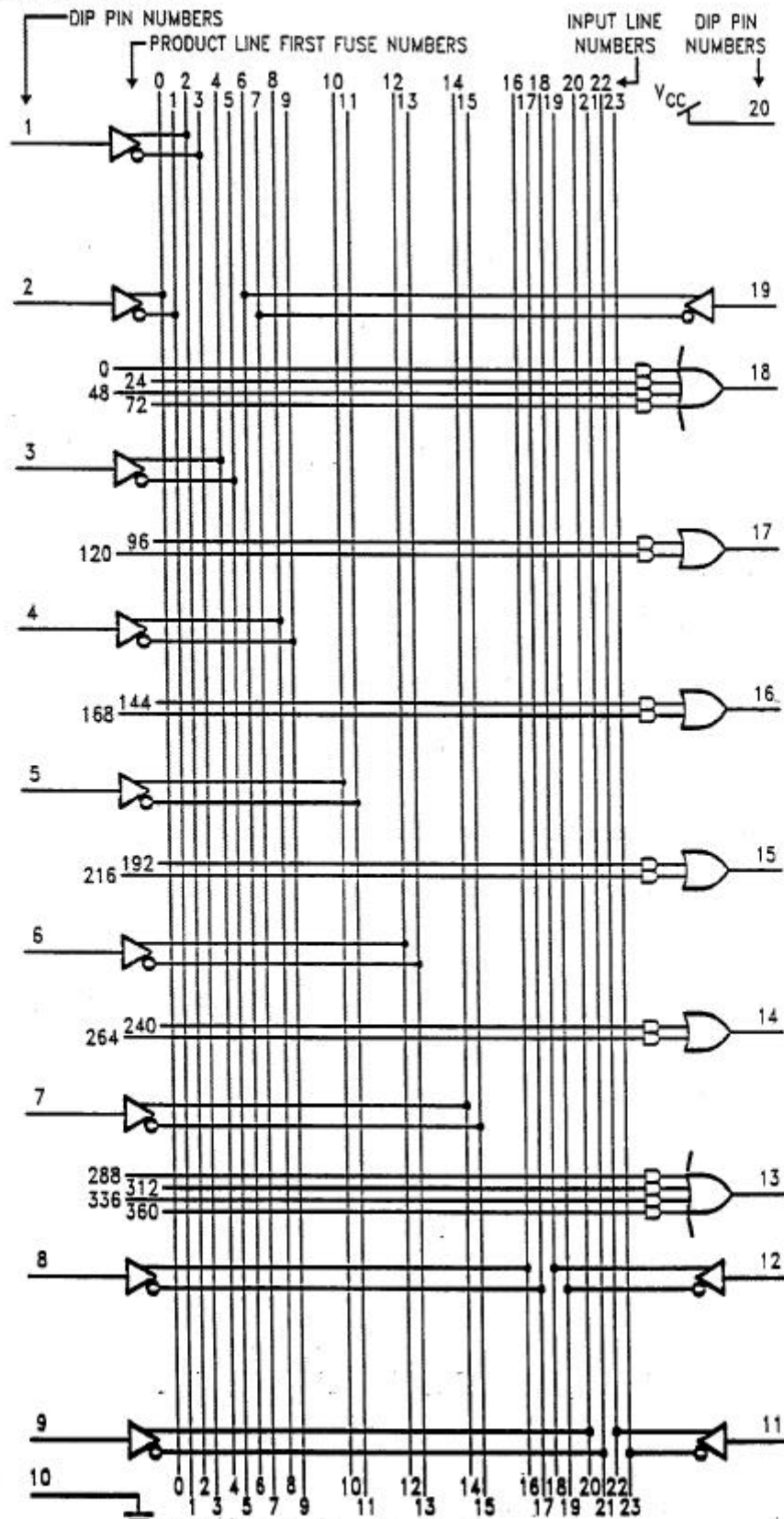


Logic Diagram

14H4



Logic Diagram PAL12H6



Note: JEDEC Logic Array Fuse Number = Product Line First Fuse Number + Input Line Number.

TL/L/9995-17

Annexes pour rendre avec la copie si besoin :

