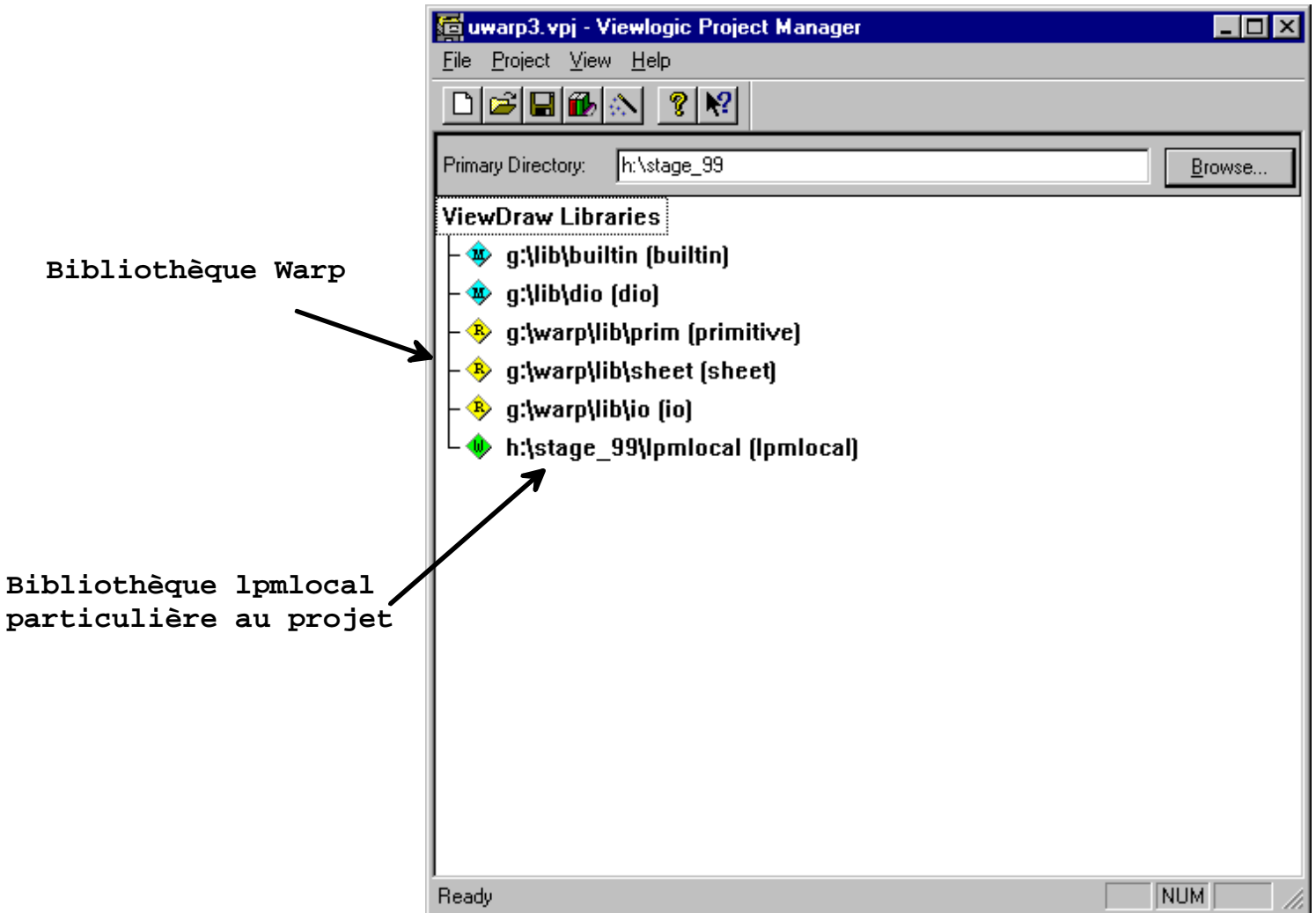


# WARP3 LA SYNTHÈSE AVEC SAISIE GRAPHIQUE

## PREPARATION DES BIBLIOTHEQUES



## Configuration des bibliothèques

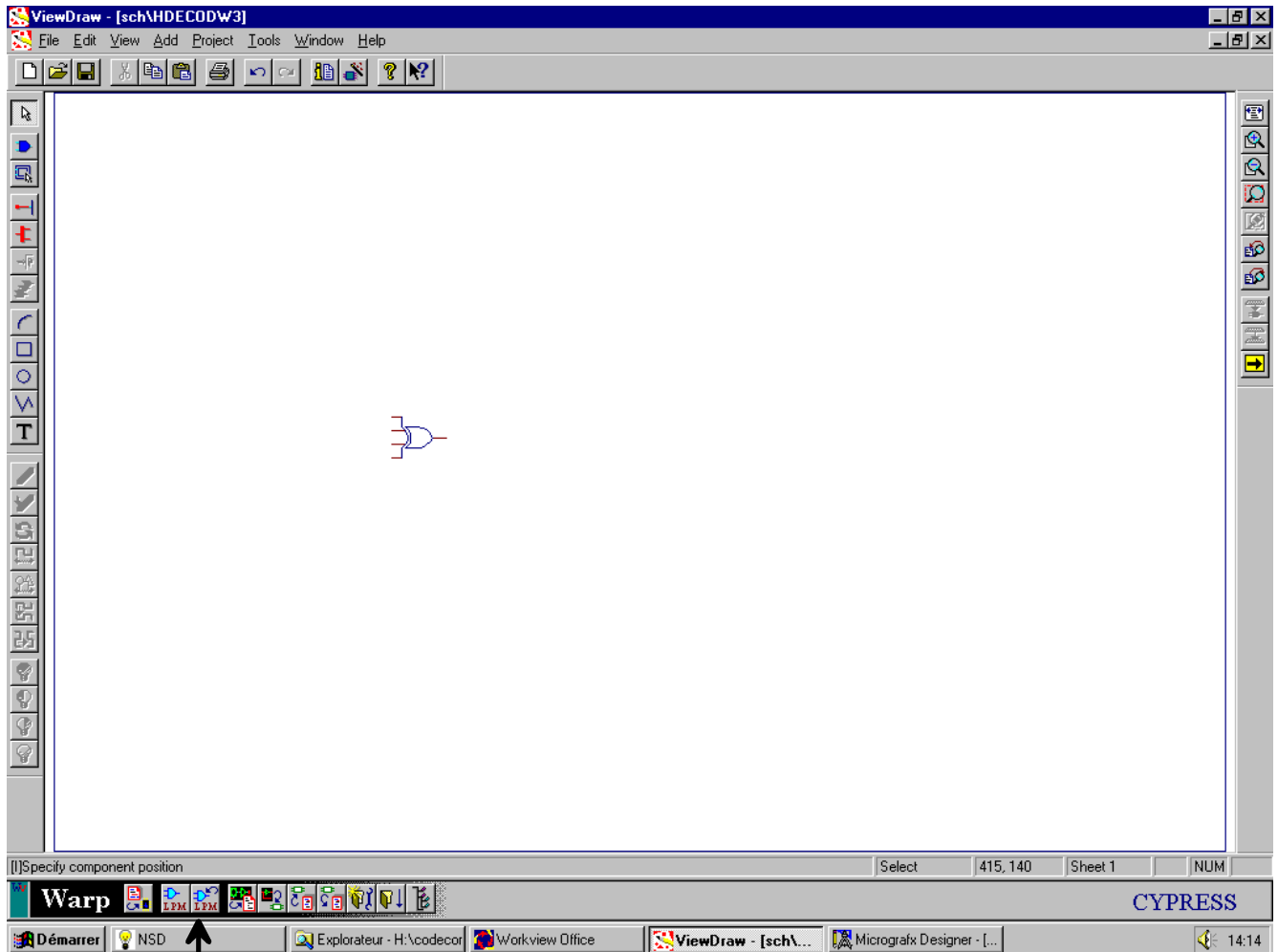
A faire avec le gestionnaire de projet,  
ou bien avec l'assistant wizard  
de la barre d'outils de warp



# WARP3 LA SYNTHÈSE AVEC SAISIE GRAPHIQUE

## SAISIE DU SCHEMA SOUS VIEWDRAW

Ouvrir un schéma avec viewdraw



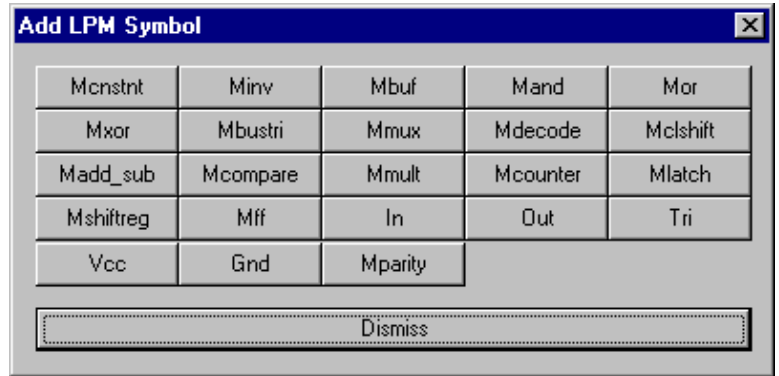
Placer la barre d'outils de warp dans la fenêtre de travail

# WARP3 LA SYNTHÈSE AVEC SAISIE GRAPHIQUE

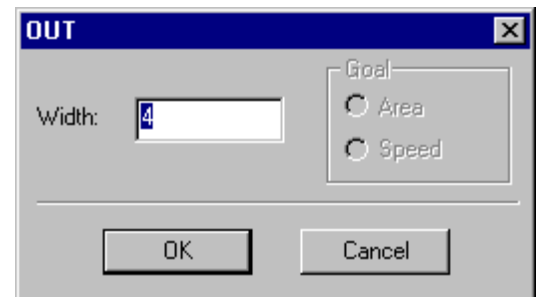
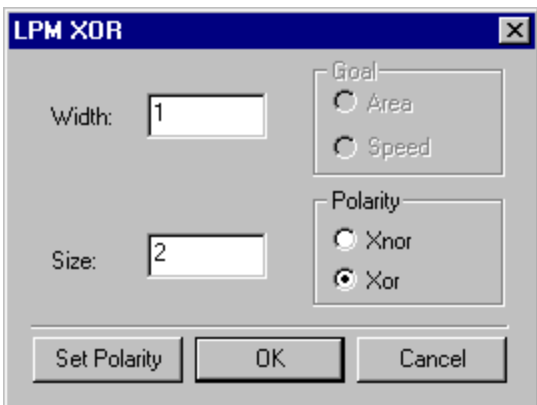
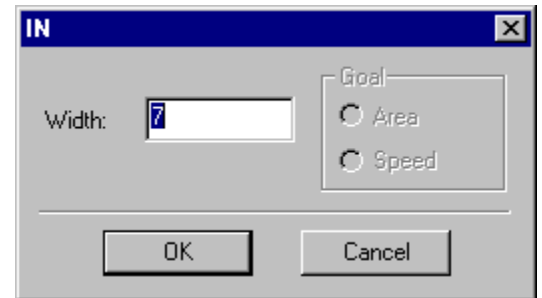
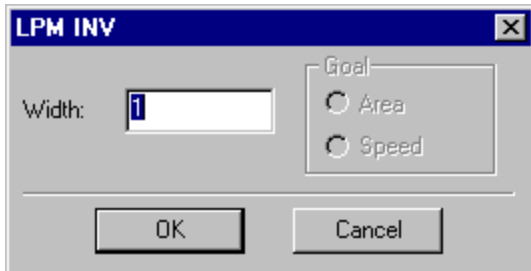
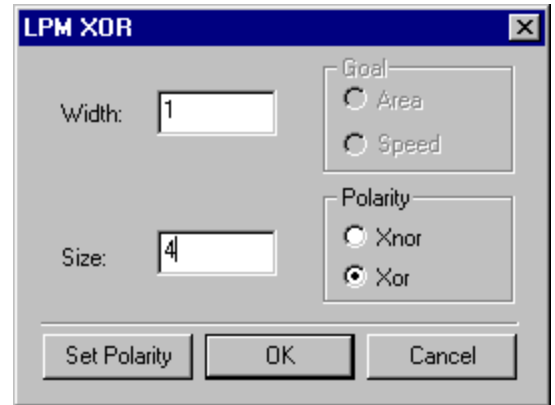
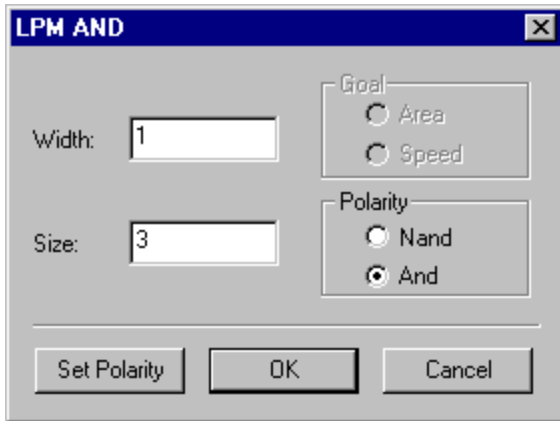
## IMPORTATION DES ELEMENTS DANS LE SCHEMA VIEWDRAW



Ajout d'un élément LPM dans le schéma



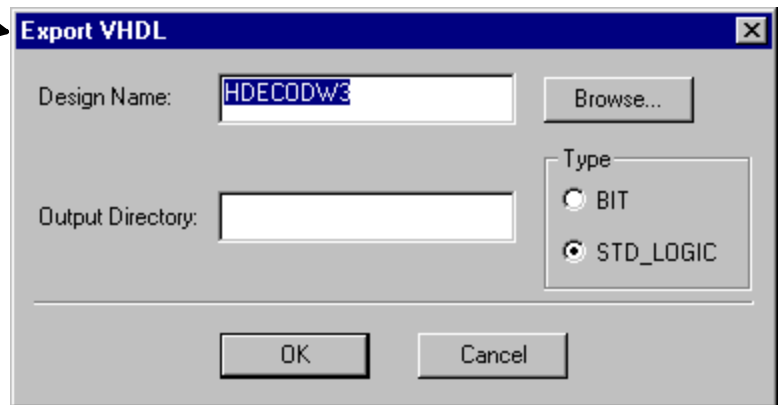
Choix de l'élément à ajouter



## PASSAGE DU SCHEMA AU CODE VHDL



Exportation vers  
un fichier VHDL



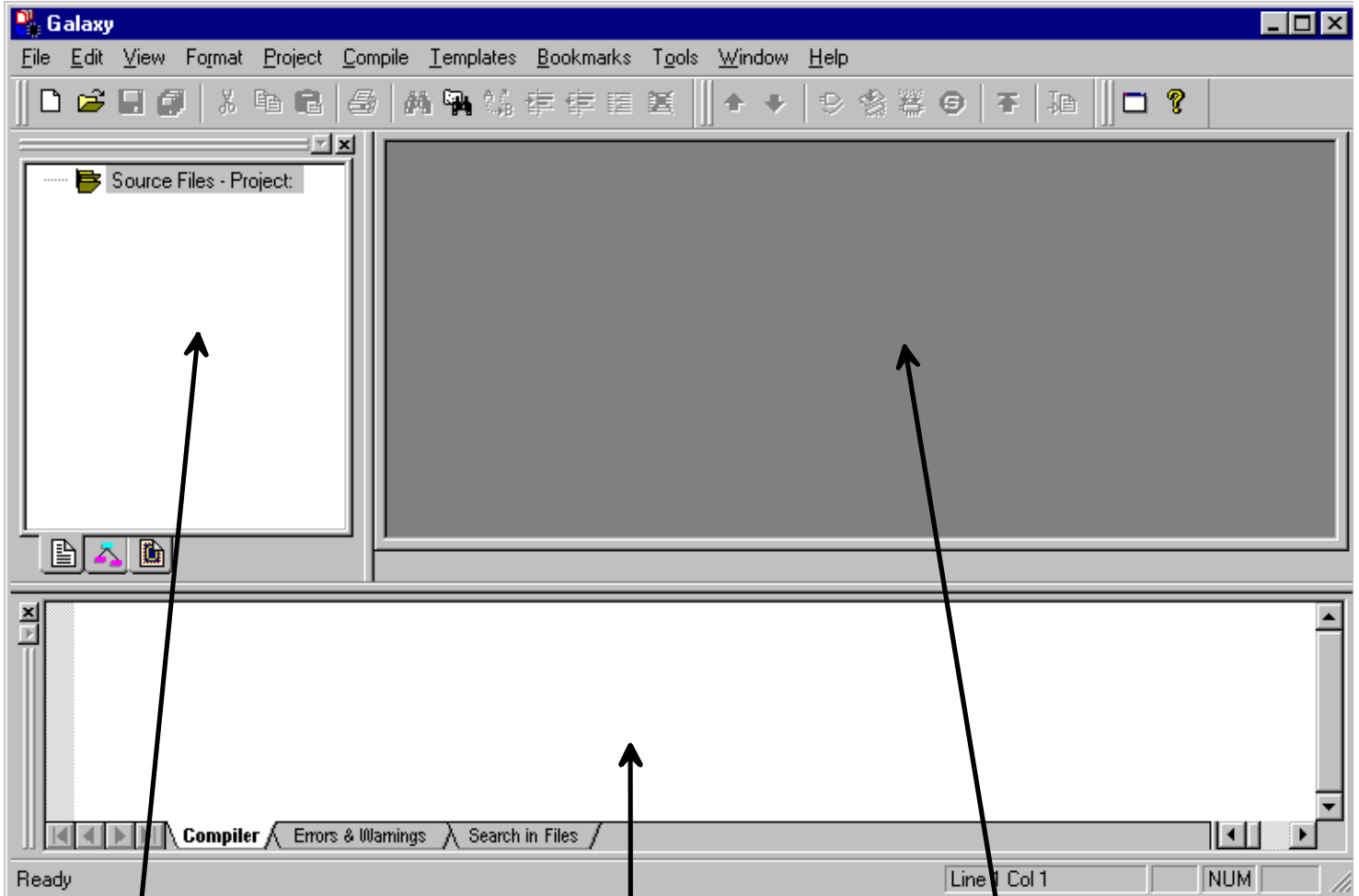
```
--$Binding file  
--VHDL Netlister -V5.1 IR 01  
--Created: Friday, March 19, 1999 3:42 pm  
--Copyright (c) 1995 Cypress Semiconductor, Inc.
```

```
library ieee;  
use ieee.std_logic_1164.all;  
  
package hdecodw3pkg is  
component hdecodw3  
  port(mp7: IN std_logic;  
        mp6: IN std_logic;  
        mp5: IN std_logic;  
        mp4: IN std_logic;  
        mp3: IN std_logic;  
        mp2: IN std_logic;  
        mp1: IN std_logic;  
        inf3: INOUT std_logic;  
        inf2: INOUT std_logic;  
        inf1: INOUT std_logic;  
        inf0: INOUT std_logic);  
end component;  
end hdecodw3pkg;  
  
library ieee;  
use ieee.std_logic_1164.all;  
library cypress;
```

# WARP3 LA SYNTHÈSE AVEC SAISIE GRAPHIQUE

## TRAITEMENT AVEC GALAXY

Traitement du code vhdl pour obtenir la synthèse avec de la logique programmable



Arborescence du projet

Fenêtre de compte rendu

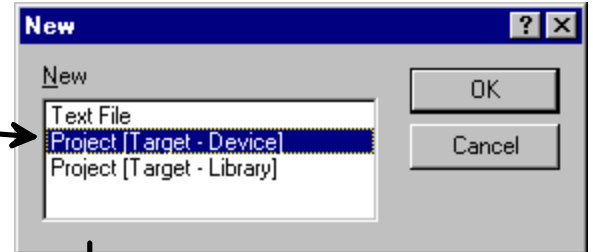
Editeur de texte

-> code vhdl

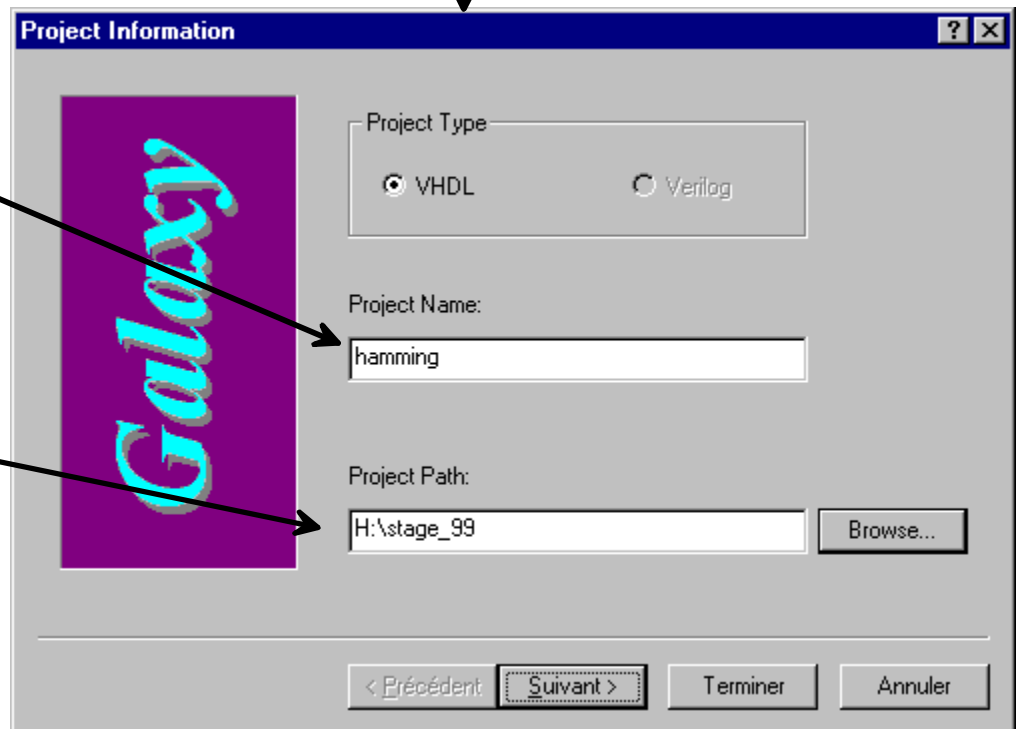
-> consultation des  
fichiers rapport

## CREATION DU PROJET

Ouverture d'un nouveau projet



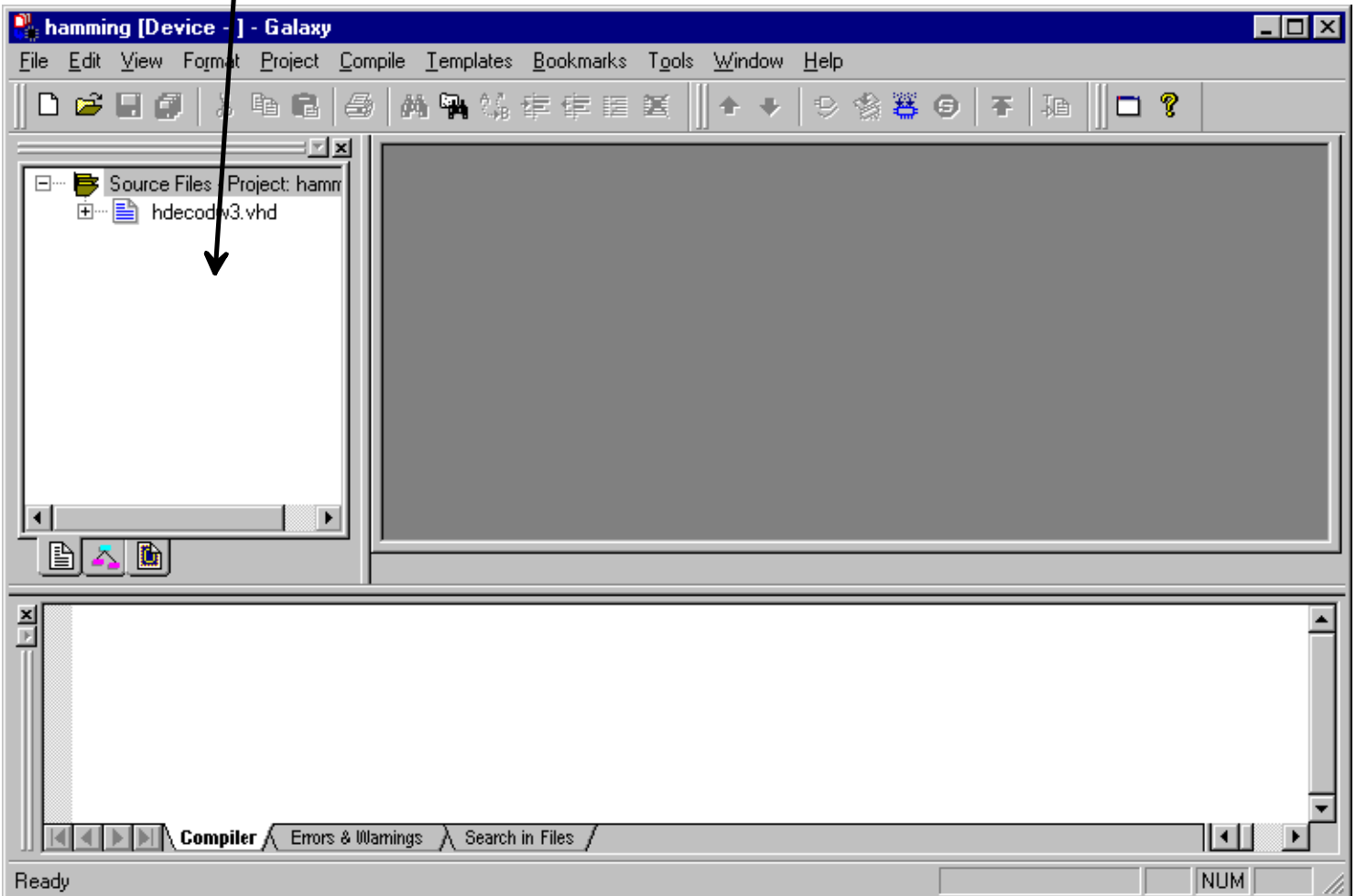
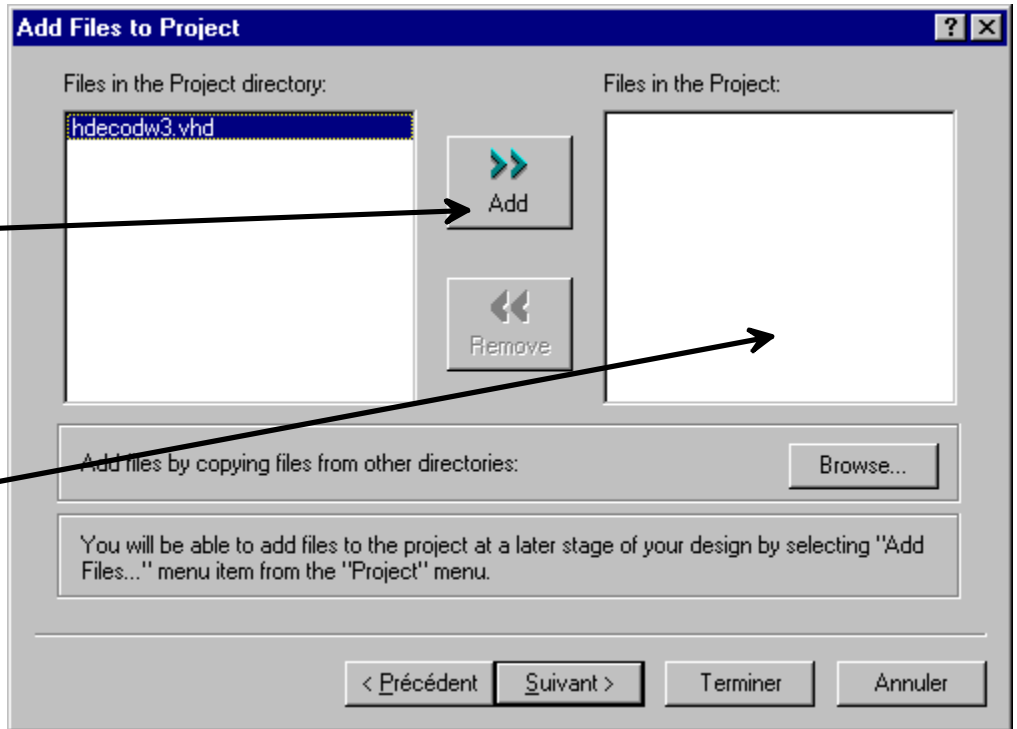
Nom du projet  
(fichier .pfg)



Répertoire du projet

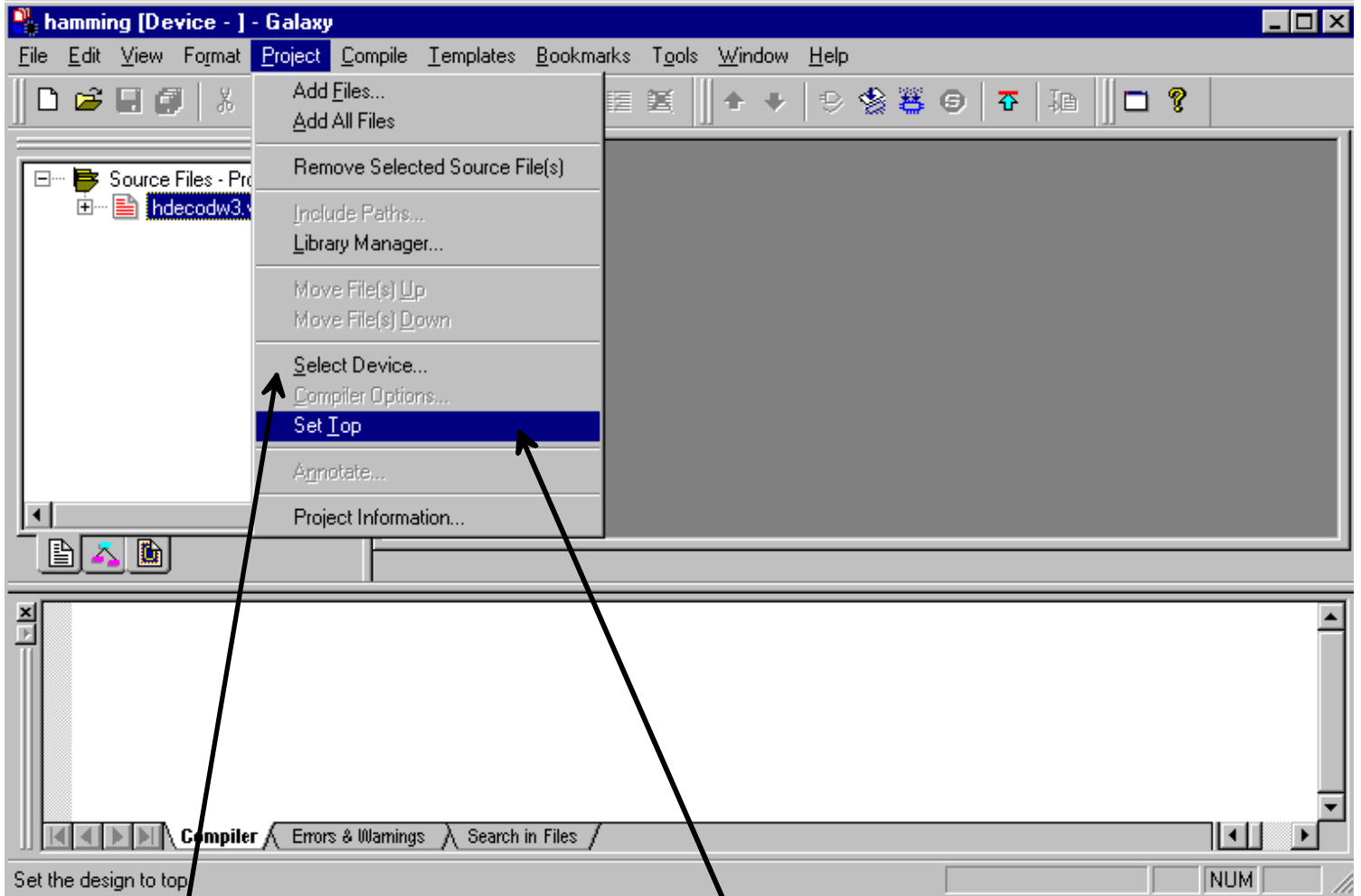
# WARP3 LA SYNTHÈSE AVEC SAISIE GRAPHIQUE

## AJOUT DES FICHIERS DE CODE VHDL DANS LE PROJET



# WARP3 LA SYNTHÈSE AVEC SAISIE GRAPHIQUE

## DECLARATION DU POINT DE DEPART DE LA DESCRIPTION CHOIX DU COMPOSANT CIBLE

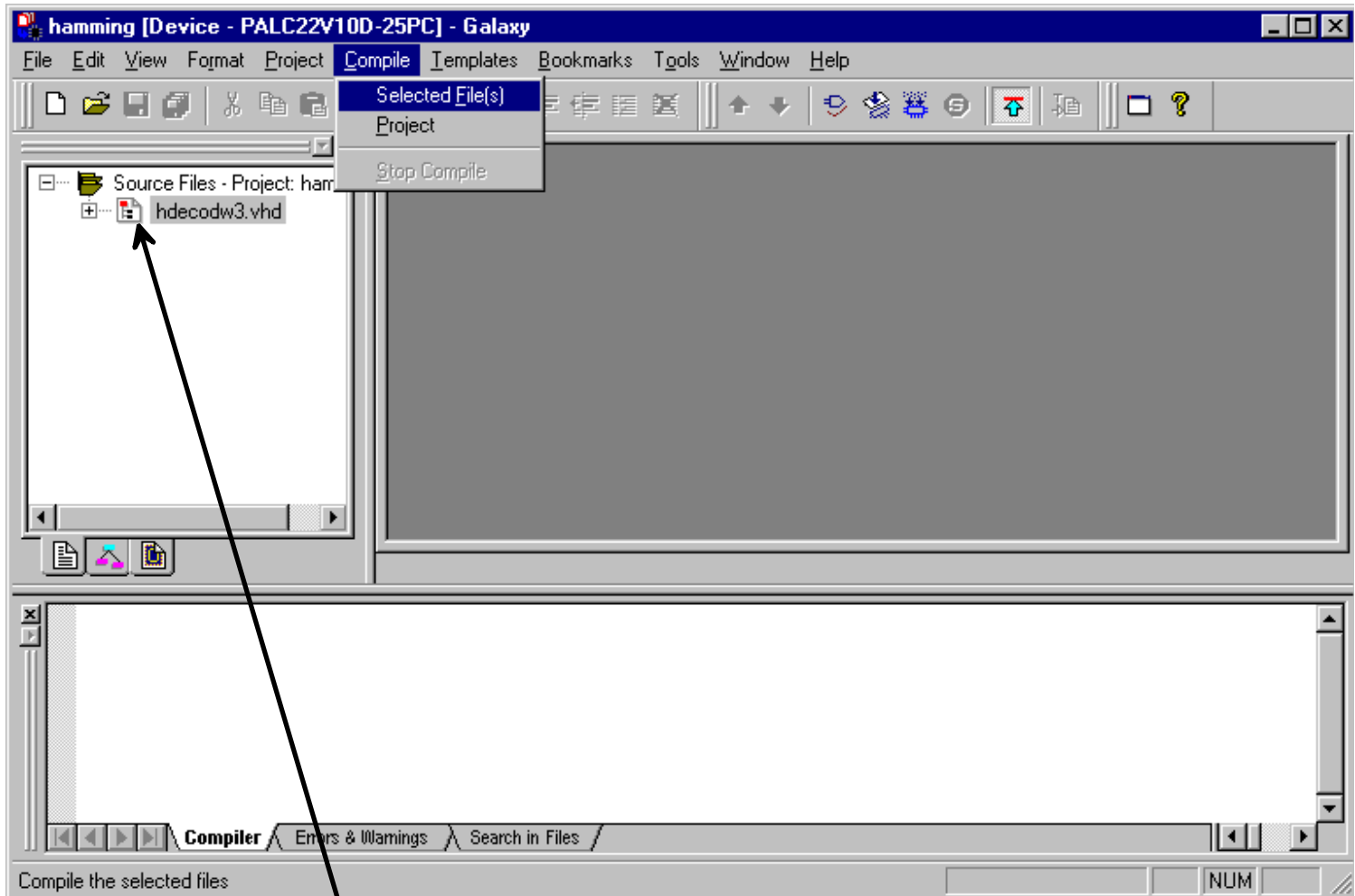


Choix du composant cible

Set Top du menu  
project

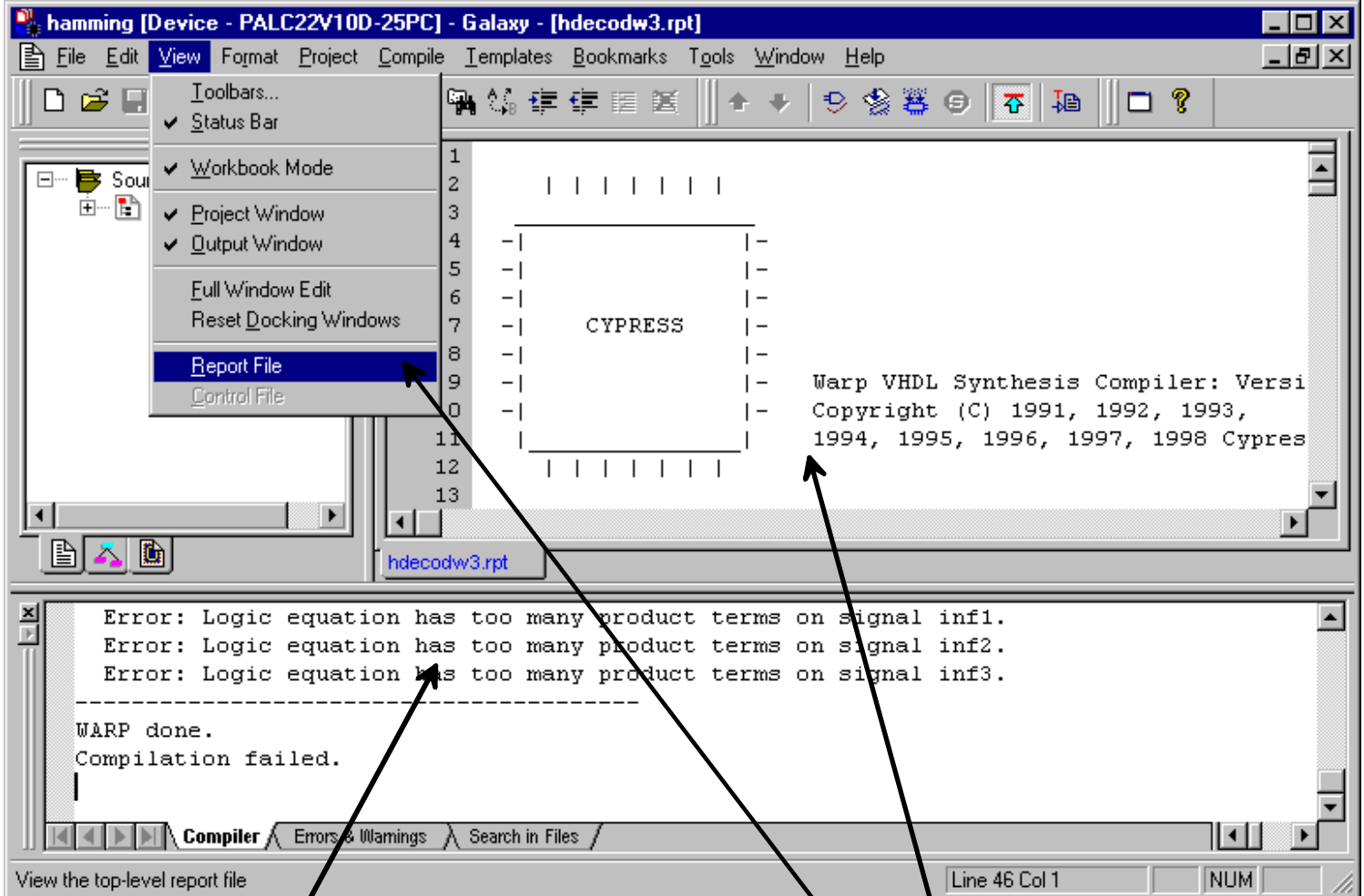
# WARP3 LA SYNTHÈSE AVEC SAISIE GRAPHIQUE

## COMPILATION DU PROJET



L'icone indique  
que ce fichier est le point  
de départ ( set top ) de la  
description

## TRAITEMENT DES ERREURS

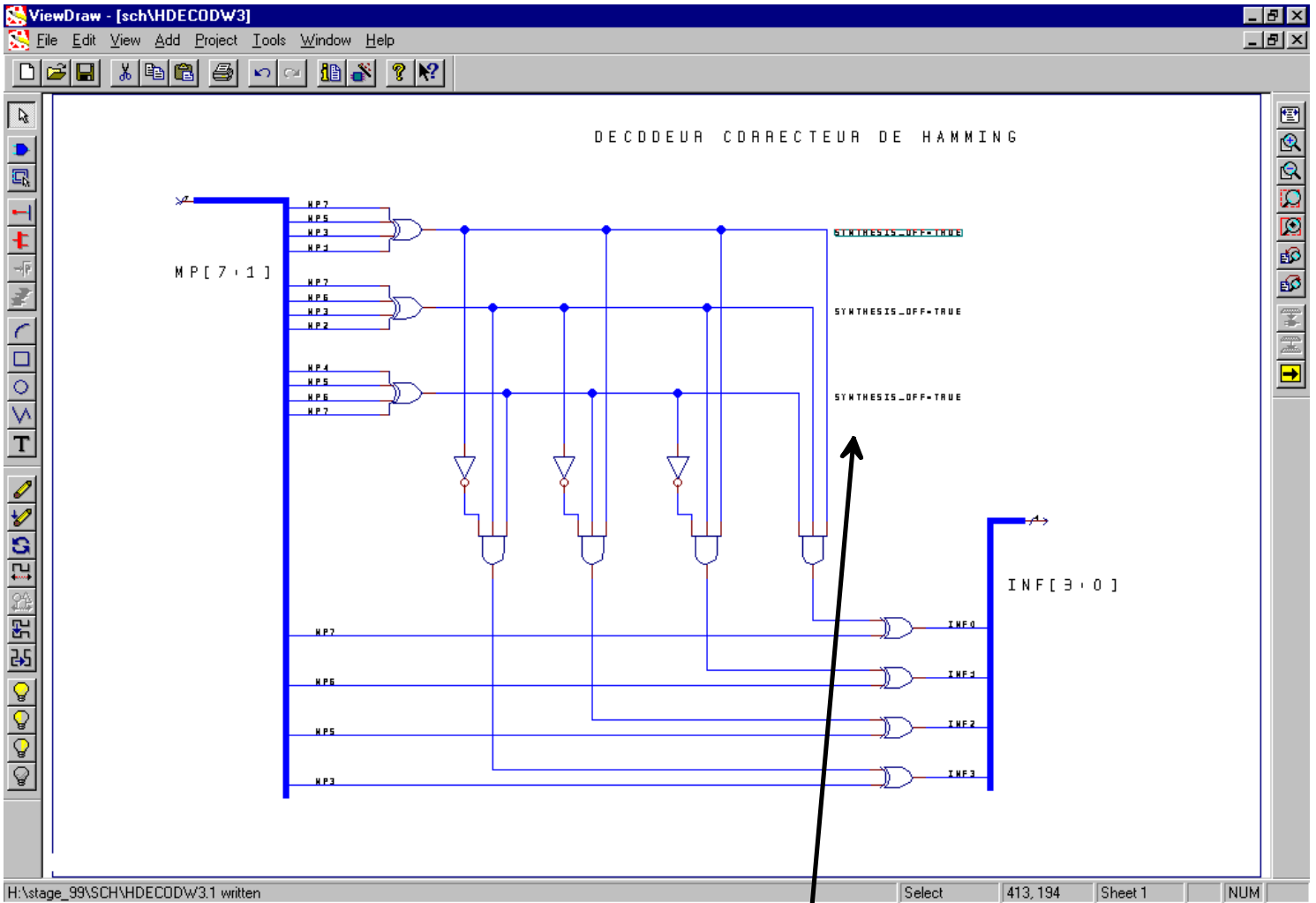


Il y a un problème de synthèse

On consulte alors le fichier rapport

# WARP3 LA SYNTHÈSE AVEC SAISIE GRAPHIQUE

## CORRECTION DU PROBLEME DE SYNTHÈSE



On ajoute l'attribut `synthesis_off` sur les nets que l'on veut conserver dans la synthèse

# WARP3 LA SYNTHÈSE AVEC SAISIE GRAPHIQUE

## LA SYNTHÈSE EST COMPLÈTE

The screenshot displays the WARP3 software interface. The main window shows the source code for the VHDL file `hdecodw3.vhd`. The code includes signal declarations for `v11n36`, `v11n34`, `v11n32`, `zero`, and `one`, along with synthesis attributes for `v11n45`, `v11n43`, and `v11n41`. A `begin` block contains an `mxor` component `v11i9` with a `generic map` for `lpm_result_pol` and `lpm_data_pol`.

The bottom panel shows the compilation status, indicating that the synthesis is complete and successful.

```
53 signal v11n36: std_logic;
54 signal v11n34: std_logic;
55 signal v11n32: std_logic;
56 signal zero: std_logic := '0';
57 signal one: std_logic := '1';
58 attribute SYNTHESIS_OFF of v11n45: SIGNAL is TRUE;
59 attribute SYNTHESIS_OFF of v11n43: SIGNAL is TRUE;
60 attribute SYNTHESIS_OFF of v11n41: SIGNAL is TRUE;
61
62 begin
63     v11i9: mxor
64         generic map (lpm_result_pol => "1",
65                     lpm_data_pol => "1111",
```

Equation minimization (minopt)  
Design optimization (dsgnopt)  
Device fitting (pla2jed)

-----  
WARP done.  
Compilation successful.

Ready Line 42 Col 1 NUM